

# 公開講座：10時間で学ぶFPGA設計 VerilogHDLによる電子オルゴール設計を題材に

- ・公開講座案内：
- ・参加申込書：(申込締め切り8月24日(月))

## 日時

- ・平成21年8月28日(金) 13:00~17:00
- ・平成21年8月29日(土) 9:00~16:00 (昼休み1時間)

28日に4時間、29日に6時間の合計10時間です。

## 会場

- ・コラボスクエア 会議室
- ・〒739-0043 広島県東広島市西条西本町 28-6

車で来られる方へ：駐車場がありますが、あまり大きくありません。  
満車の場合は、すぐ近くの西条プラザなどの有料駐車場をご利用ください。  
(1時間無料、以降1時間100円、1日上限700円。西条プラザで買い物をする3時間無料。)

## 対象

- ・一般技術者
- ・大学・高専の学生

## 前提とする知識

- ・デジタル回路の基礎 (AND,OR,NOT ゲート, フリップフロップなどの動作)

デジタル回路の組合せで簡単な回路をつくりますので、基本ゲート (AND,OR,NOT など) の動作について知っている必要があります。  
例えば、基本ゲートで作られた組合せ回路とその入力を与えられて、その真理値表を書くことができる程度の知識は必要です。

問題例：下の真理値表を完成させよ。

- ・プログラミングの基礎 (C言語などを用いたプログラミング, 例えば、変数やif文の意味などの知識)

ハードウェア記述言語 VerilogHDL を用いて設計します。VerilogHDL の知識は不要ですが、プログラミングの経験が全くないと難しいです。  
例えば、「if(a==0) の意味」「関数とはなにか」程度を理解している必要があります。

問題例：下のC言語プログラムの出力はどのようになるか。

```
#include <stdio.h>

int f(int n){
    if(n % 2 == 0)
        n = n / 2;
    else
        n = n * 3 + 1;
    return (n);
}
```

```
}  
main(){  
    int n = 3;  
    while(n != 1){  
        n=f(n);  
        printf("n=%d¥n",n);  
    }  
}
```

## あらかじめ準備しておくこと

- ・ Windows ノートパソコン (XP または Vista) を持参してください。
- ・ あらかじめそのノートパソコンに設計ツール ISE WebPack をインストールしておいてください。

注：インストール作業にはにはかなりの時間がかかります。

- ・ ユーザ制約ファイルをノートパソコンにダウンロードしておいてください。

## ISE WebPack のインストールの詳細

- ・ [インストールの詳細](#)を見て、あらかじめ必ずインストールしておいてください。